

⑪ 公 開 特 許 公 報 (A) 昭56—26477

⑫ Int. Cl.³ 識別記号 庁内整理番号 ⑬ 公開 昭和56年(1981)3月14日
H 01 L 29/93 7357—5F

発明の数 1
審査請求 有

(全 3 頁)

⑭ 可変容量ダイオードの製造方法

⑯ 発 明 者 箕谷直広

守口市京阪本通2丁目18番地三

⑰ 特 願 昭55—22056

洋電機株式会社内

⑱ 出 願 昭50(1975)7月28日

⑲ 出 願 人 三洋電機株式会社

(前実用新案出願日援用)

守口市京阪本通2丁目18番地

明 細 書

1. 発明の名称

可変容量ダイオードの製造方法

2. 特許請求の範囲

1) 一導電型の半導体基板の所定の部分に逆導電型の不純物を多量にドーピングして逆導電型高濃度領域を形成し、この逆導電型高濃度領域内では該領域よりは低い範囲で基板と同導電型の不純物をこの高濃度領域より低くドーピングして同導電型領域を形成し、この同導電型領域内で該同導電型領域より低い範囲で基板と同導電型の不純物をこの同導電型領域より低く、しかも該同導電型領域よりも低濃度でドーピングして次段の同導電型領域を得、必要に応じて前次前段の同導電型領域内で前段領域より低い範囲で基板と同導電型の不純物を前段領域より低く、しかも該前段領域よりも低濃度でドーピングして後段の同導電型領域を形成すると共にこれ等の同導電型領域に接する第1の電極と上記基板に接した第2の電極とを設けて成る可変容量ダイオードの製造方法。

3. 発明の詳細な説明

本発明は可変容量ダイオードの製造方法に関する。

従来の代表的な可変容量ダイオードは第1図の断面図で示す如く、N型高濃度基板(1)上にP型低濃度エピタキヤル膜(2)を形成し、該エピタキヤル膜(2)内に比較的深いP型高濃度領域(3)を設け、この領域(3)を貫通するN型領域(4)を形成、或いはイオン注入等の方法で形成してP-N接合(5)を得る構造のものであった。尚且はN型領域(4)に接した電極、(7)は酸化膜等の表面保護膜である。

ところが所る構造の可変容量ダイオードは単一のP-N接合(5)に依つて可変容量(C-V)特性を得ているので、第7図の(4)で示す如く、大きな容量変化比を得難い上にその変化特性は直線と云うよりは曲線を示し、可変容量係数として使用する際に不都合を来している。

本発明は上述の構造に鑑みて為されたものである。以下に本発明方法を工程順に説明する。
本発明の第1の工程は、 $1 \times 10^{18}/\text{cm}^3$ 程度の

高濃度 M 型基板の上に 1×10^{-4} 程度の低濃度 E ピカシナル層即ち有する基板を用意し、該 E ピカシナル層即ちの取られた部分に P 型の不純物を多量にドーピングして比較的深い P^+ 領域を得るところにある(第2図)。この P 型不純物のドーピングは酸化膜等から成る ω スラグ層を介して限定された部分にドーピングする拡散法あるいはイオン注入法が用いられるが、例えばイオン注入法の場合であれば、 10^{14} イオンを 3.5 KeV で加速し、 5×10^{-4} の注入量で注入後、 900°C で20分間のアニール処理を施す。次に第3図に示す如く、 P^+ 領域の内で該領域のよりは深い範囲の N オレノスラグ層の ω スラグ層を介してこの P^+ 領域に銅イオンを 180 KeV で加速し、 4×10^{14} の注入量で注入し、 P^+ 領域を貫通した第1の M 型領域の領域を成る。またその後第1の M 型領域を得た時の ω スラグ層の開口面積の $1/2$ の開口面積を有する ω スラグ層を M 型領域の上に置き、銅イオンを加速電圧 250 KeV 、注入量 2.5×10^{14} で M 型領域内に注入して M 型領域を貫通した第2の

特開2005-26477(2)

M 型領域を得る(第4図)。更にこの第2の M 型領域の N の ω スラグ層の開口面積の $1/2$ の開口面積の ω スラグ層を第2の M 型領域の上に置き、この領域内に銅イオンを 300 KeV の加速電圧、 1.2×10^{14} の注入量で注入して第3の M 型領域を貫通した第3の M 型領域を得る(第5図)。然る後これ等の M 型領域の領域に注入したイオンを活性化するために 800°C で、20分間のアニール処理を施す。最後に P^+ 領域の部分を覆う保護膜を被着し、これ等の第1、2、3の M 型領域の領域に成る電極面を設けると共に、基板に成る第2の電極面を設けて可変容量ダイオードを形成する(第6図)。

本発明に依つて形成された可変容量ダイオードは第6図に示す如く P^+ 領域と M 型領域との高濃度差を持つ P 層接合面は大きく、また逆に P^+ 領域と M 型領域との間の如く低濃度差を持つ P 層接合面を相対小面積としている。従つてダイオードに低い電圧を印加した時はそのダイオードの容量値は高濃度差 P 層接合の容量に依存する事

を考慮すると、この P 層接合は大きな面積であるので大きな容量値が得られ、また高電圧印加時は低濃度接合の容量に依存し、この場合は小面積であるのでその容量値は小さいものとなる。従つて本発明に成る可変容量ダイオードの $C-V$ 特性は第7図例に示す如く直線状の急激な容量変化比を持つ特性を示すことになる。

以上の説明から明らかな如く、本発明方法に依つて得られる可変容量ダイオードは、該領域の濃度分布での P 層接合の持つ $C-V$ 特性を置き換えた特性を呈する事となり、夫々の濃度分布を置換する事に依つて所望の特性の可変容量ダイオードとする事が出来る。特に不純物の導入にイオン注入法を採用すると、不純物濃度の制御が正確に、しかも容易に行える。また濃度分布のみならず、各接合の面積を定める事に依つても $C-V$ 特性を制御し得るので、 $C-V$ 特性の選択範囲が非常に広がる。

4 図面の簡単な説明

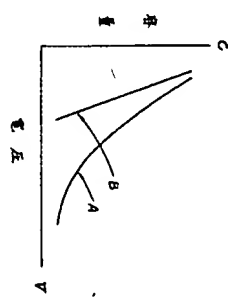
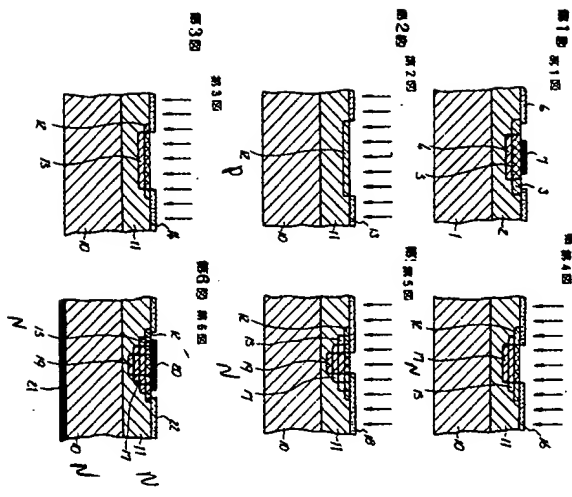
第1図は現存する可変容量ダイオードの断面図、

第2図～第6図は本発明方法を工程順に示した断面図、第7図は $C-V$ 特性図であつて、0は基板、0は P^+ 領域、0の間の間は M 型領域、を夫々示している。

特 許 出 願 人

三井電機株式会社

代表者 井 堀 誠



手続補正書 (方式) P.1

昭和55年9月11日

特許庁長官殿

1. 事件の表示

昭和55年特許第 22054 号

2. 発明の名称

可変容量マイナーの構造方法

3. 補正をとする者

特許出願人

住所 守口市京坂本通2丁目1番地

名称 (株)三井電機株式会社

代表者 井坂 隆

補正命令の日付 (発注日)

昭和55年8月26日

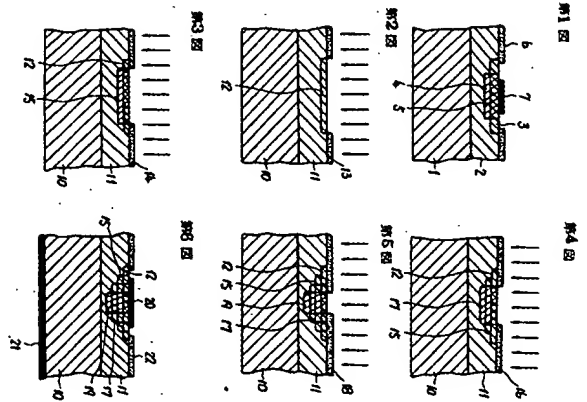
補正の対価

図面

補正の内容

図面の添付 (内容に変更なし)

特許第 56-26477 号
昭和 55 年 9 月 11 日



PAT-NO: JP356026477A

DOCUMENT-IDENTIFIER: JP 56026477 A

TITLE: VARIABLE-CAPACITY DIODE MANUFACTURING
PROCESS

PUBN-DATE: March 14, 1981

INVENTOR-INFORMATION:
NAME
MINOTANI, NOBUHIRO

ASSIGNEE-INFORMATION:
NAME
SANYO ELECTRIC CO LTD
COUNTRY
N/A

APPL-NO: JP55022056

APPL-DATE: February 22, 1980

INT-CL (IPC): H01L029/93

US-CL-CURRENT: 257/596, 257/E29.344 , 438/504 , 438/FOR.415

ABSTRACT:

PURPOSE: To obtain a variable-capacity diode provided with a combined characteristics of C-V characteristics, by forming a one conductivity type region dispersingly in a semiconductor layer and also forming in this region plural regions of reverse conductivity type in such a manner as to make it project stepwisely while changing their respective impurity concentrations and also making the tip's width narrower.

CONSTITUTION: An N type layer 11 of approximately

1×10<SP>14</SP>/cm<SP>3</SP> is made to grow epitaxially on an N<SP>+</SP> type Si substrate 10 having an impurity concentration of approximately 1×10<SP>13</SP>/cm<SP>3</SP>, a P type impurity ion is

injected at a rate of 5× 10<SP>13</SP>/cm<SP>3</SP> using an SiO<SB>2</SB> membrane 13 as a mask, and a shallow P<SP>+</SP> type region 12

is formed by annealing the layer 11. And then, the membrane 13 is renewed to a

membrane 14, and an N type region 15 which penetrates the region 12 and projects downwardly is formed by conducting an injection at a rate of 4×10<SP>12</SP>/cm<SP>3</SP>. In the same manner, narrow-width N type

regions 17 and 19 are made to project stepwisely and formed by injecting at rates of 2.5×10<SP>12</SP>/cm<SP>3</SP> and 1.2×10<SP>12</SP>/cm<SP>3</SP> using membranes 16 and 18 having smaller

openings, providing them with annealing process, providing them with a protective membrane 20, opening a window, and then, an electrode 20 is attached

onto the regions 15, 17 and 20.

COPYRIGHT: (C)1981,JPO&Japio